

Guida alla preparazione dell'esame di Reti Logiche

Tullio Salmon Cinotti - A.A. 2009-10

Allievi di Ingegneria dell'Automazione e di Ingegneria Elettronica e delle Telecomunicazioni

L'esame di Reti Logiche sarà suddiviso in due parti:

1. Teoria
2. Esercizi

Ciascuna parte potrà essere svolta sia in forma scritta sia orale a discrezione dei docenti.

Gli appelli del primo trimestre 2010 saranno svolti interamente in forma scritta.

In aggiunta a quanto visto a lezione, riportiamo di seguito alcuni esempi di domande di teoria e di esercizi da svolgere in sede d'esame.

La regola adottata dai docenti è che, per quanto possibile, esercizi e domande di teoria saranno sempre nuove e quindi diverse tra loro e diverse da quelle qui di seguito elencate.

Il denominatore comune di tutti gli esami sarà verificare:

- il livello di comprensione dei modelli delle reti logiche, combinatorie e sequenziali
- la capacità di descrivere e applicare i teoremi ed i metodi di sintesi e di analisi visti a lezione
- la capacità di comporre reti complesse a partire da reti più semplici ma non elementari, quali ad esempio registri, contatori, multiplexer, decoder
- la capacità di analizzare e descrivere sia a parole sia in termini di forme d'onda il comportamento di reti logiche assegnate

Dei quattro punti suindicati, nessuno è prioritario rispetto agli altri

In vista dell'esame, si suggerisce di rispondere ai seguenti quesiti lavorando in gruppi di più studenti in modo da potersi correggere vicendevolmente

Esempi di domande di teoria

Legenda: il carattere / sta a indicare un'alternativa (sintesi/analisi significa: o sintesi o analisi)

1. Descrivere i passi dei procedimenti di sintesi/analisi delle reti combinatorie/sequenziali
2. Elencare le tecniche conosciute di sintesi di reti combinatorie e farne un esempio
3. Mostrare le differenze tra un multiplexer realizzato con gli operatori elementari e uno realizzato con decoder e buffer tristate
4. Descrivere il comportamento/una possibile struttura/un possibile impiego di un FF-SR / un FFD-Latch / FF-D edge triggered / un Latch da 8 bit / un Registro edge triggered da 8 bit
5. Spiegare la definizione di *automa / funzione binaria di n variabili binarie* e descriverne l'importanza
6. Descrivere il modello di tempo nelle reti sequenziali/combinatorie
7. Dire cosa si intende per simultaneità di due eventi in una rete sequenziale asincrona
8. Spiegare perché le aleee non sono previste dal modello delle reti combinatorie. Qual è l'origine delle aleee statiche?
9. Come si costruisce il grafo degli stati di una rete sequenziale sincrona? Che relazione c'è tra i rami e i nodi del grafo degli stati e le forme d'onda dei segnali riportati nei nodi e sui rami del grafo?
10. Come è fatto un registro di un data path e come si controlla il suo aggiornamento?
11. Chi genera i segnali di controllo di un data path?

12. Come si genera l'ingresso sincrono di una RSS?
13. Qual è il più grande numero positivo rappresentabile con 5 bit in codice “Complemento a 2”?
14. Qual è il più piccolo numero negativo rappresentabile con 5 bit in codice “Complemento a 2”?
15. Qual è il più grande numero positivo senza segno rappresentabile con 5 bit?
16. qual è la configurazione in complemento a 2 del numero -6 con 7/6/5/4/3 bit? Quale regola è stata applicata?
17. Qual è il principale vantaggio della rappresentazione dei numeri interi in “Complemento a 2”?
18. Qual è la proprietà del “codice di parità”?
19. Come viene costruito il “Codice Gray” (brevetto del 1947 di Frank Gray, Bell Labs)? Qual è la principale proprietà del “Codice Gray”?
20. Si mostri il codice generato da un contatore Johnson di 5 FF.

Si motivino tutte le risposte!

Esempi di esercizi

Legenda: il carattere / sta a indicare un’alternativa (sintesi/analisi significa: o sintesi o analisi)

Nota bene: negli esempi che seguono, quando si parla di fare l’analisi di una RSS, si consiglia di partire da una RSS appena sintetizzata; per esempio per fare i tanti esercizi riassunti nel punto 4 seguente si parte dai risultati degli esercizi 2 e 3

1. Si disegni il grafo degli stati di un contatore per 8 che ad ogni clock incrementa il suo valore di 0, 1, 2 o 3 a seconda del numero binario rappresentato da due bit di ingresso x_1 e x_0
2. Si progetti detto contatore applicando almeno due metodi diversi
3. Si progetti un generatore/analizzatore di sequenze di 2/3/4 bit in parallelo, di periodo assegnato
4. Si esegua l’analisi, fino alle forme d’onda e alla descrizione a parole di una RSS con 0/1/2/3 ingressi e n uscite; ad ogni passo del procedimento di analisi si dica a cosa serve detto passo.
5. Si progetti un contatore BCD per n ($n < 100$) che inizi da m ($m < 99$); si esegua il progetto immaginando di disporre già di due contatori BCD, uno per ogni cifra decimale
6. si esegua la sintesi a multiplexer dell’espressione seguente, applicando 1/2/3 volte il teorema di espansione $z = abcd + a'(b+dc) + cd'(a+e)$; i mux della rete risultante devono avere (solo mux a due vie)/(un solo mux con il numero massimo di vie utili)
7. Si mostri il pin out di una rom che si comporta da transcodificatore binario-BCD
8. Si progetti un divisore di frequenze per n, che generi un impulso di durata $m < n$ clock, sapendo che detto impulso dovrà essere il clock di un’altra RSS
9. Si eseguano gli esercizi di Reti Combinatorie e Reti Sequenziali Sincrone già disponibili sul sito del corso.
10. Si esegua il progetto di un cronometro che conti secondi, e centesimi di secondo, fino a un minuto, e che possa essere utilizzato in gare tra due partecipanti; il cronometro deve dunque memorizzare i tempi di entrambi i partecipanti; si utilizzino gli ingressi di controllo ritenuti più opportuni. Quindi per prima cosa si dica quali sono gli input e quali sono gli output di questa rete.

Nb: l’ultima frase dell’esercizio 10 deve essere rigorosamente applicata a tutti gli altri esercizi!

Domande riguardanti l’attività di laboratorio

Nel compito potranno esserci riferimenti al procedimento di design entry e verifica funzionale/temporale visto nelle esercitazioni di laboratorio.